Отчёт

**Лабораторная работа №4**

**Запоминающие узлы. Регистры**

**Цель**: Ознакомиться с работой запоминающих узлов и регистров разных типов. Собрать схемы **для испытания** *универсального регистра сдвига, параллельного регистра сдвига, последовательного регистра сдвига.*

**Ход работы**:

1)

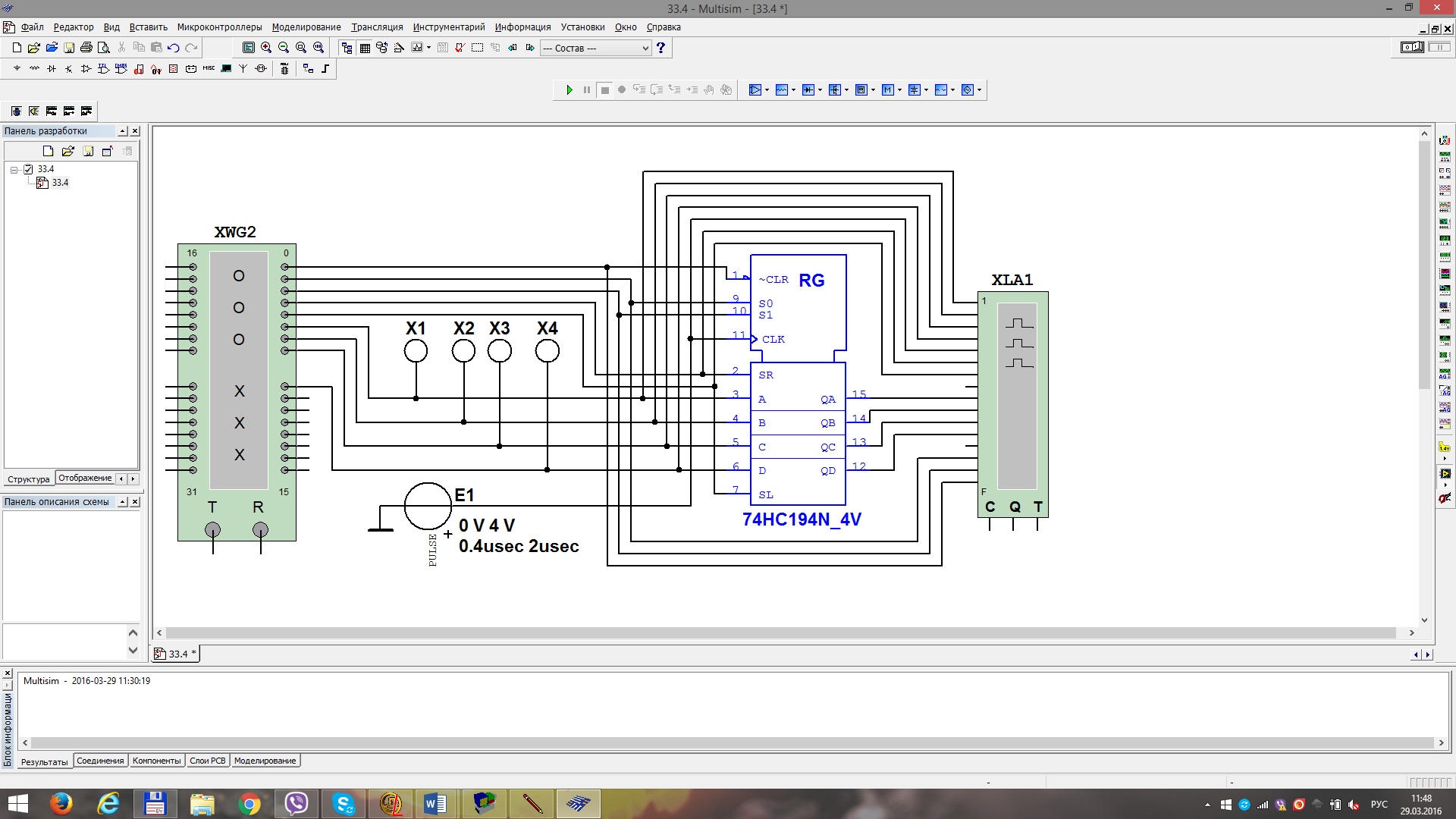


Рис. 1

На рис 1 изображен универсальныйрегистр сдвига 74НС194N\_4V, способен сдвигать информацию и вправо, и влево, возможна как параллельная, так и последовательная запись данных. Регистр имеет параллельные входы (А, В, С, D), параллельные выходы (QA, QB, QC, QD), последовательные входы (SR, SL), цепь прямой очистки регистра по входу и управляющие входы (S0 и S1) – входы задания режима:

S0 = 1, S1 = 1 – запись данных в регистр по входам А, В, С, D;

S0 = 1, S1 = 0 – сдвиг данных влево в направлении от QА к QD;

S0 = 0, S1 = 1 – сдвиг данных вправо в направлении от QD к QА;

S0 = 0, S1 = 0 – входы регистра недоступны (блокировка).

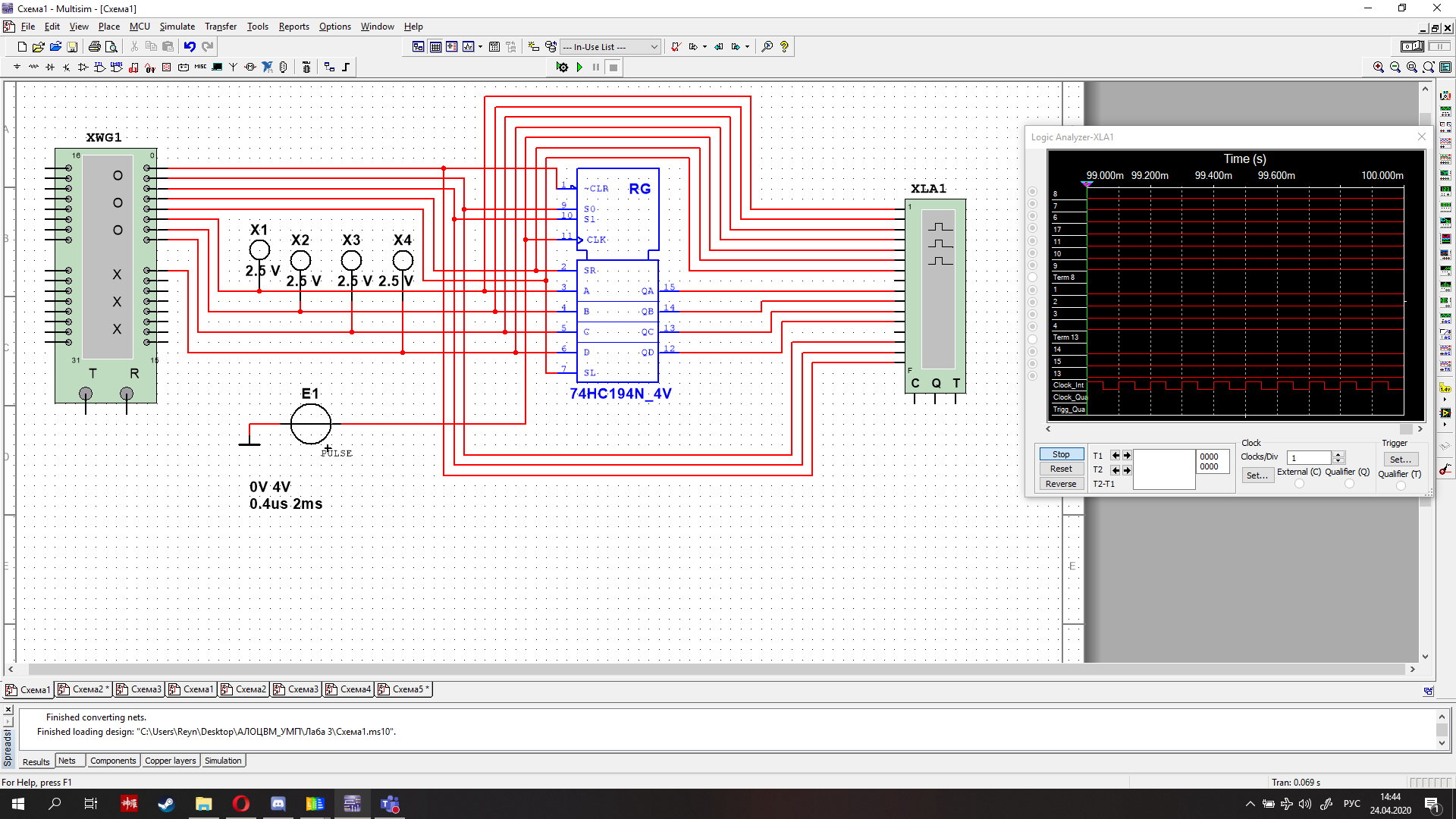


Рис.2

На рисунке 2 изображены результаты моделирования составленной схемы и временная диаграмма.

2) **План исследования параллельного регистра сдвига**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | | | | | | | | | | | Выходы | | | |
| Сброс | Старт | Режим | | | Последовательный вход | | | Параллельный вход | | | | |  | | | | |
|  |  | S0 | S1 | SR | | SL | А | | В | C | D | QA | | | QB | QC | QD |
| 0 | × | × | × | × | | × | × | | × | × | × | 0 | | | 0 | 0 | 0 |
| 1 | 0 | × | × | × | | × | × | | × | × | × | QА0 | | | QВ0 | QС0 | QD0 |
| 1 |  | 1 | 1 | × | | × | А | | В | C | D | А | | | В | C | D |
| 1 |  | 1 | 0 | 1 | | × | × | | × | × | × | 1 | | | QА*п* | QВ*п* | QС*п* |
| 1 |  | 1 | 0 | 0 | | × | × | | × | × | × | 0 | | | QА*п* | QВ*п* | QС*п* |
| 1 |  | 0 | 1 | × | | 1 | × | | × | × | × | QВ*п* | | | QС*п* | QD*п* | 1 |
| 1 |  | 0 | 1 | × | | 0 | × | | × | × | × | QВ*п* | | | QС*п* | QD*п* | 0 |
| 1 | × | 0 | 0 | × | | × | × | | × | × | × | QА0 | | | QВ0 | QС0 | QD0 |

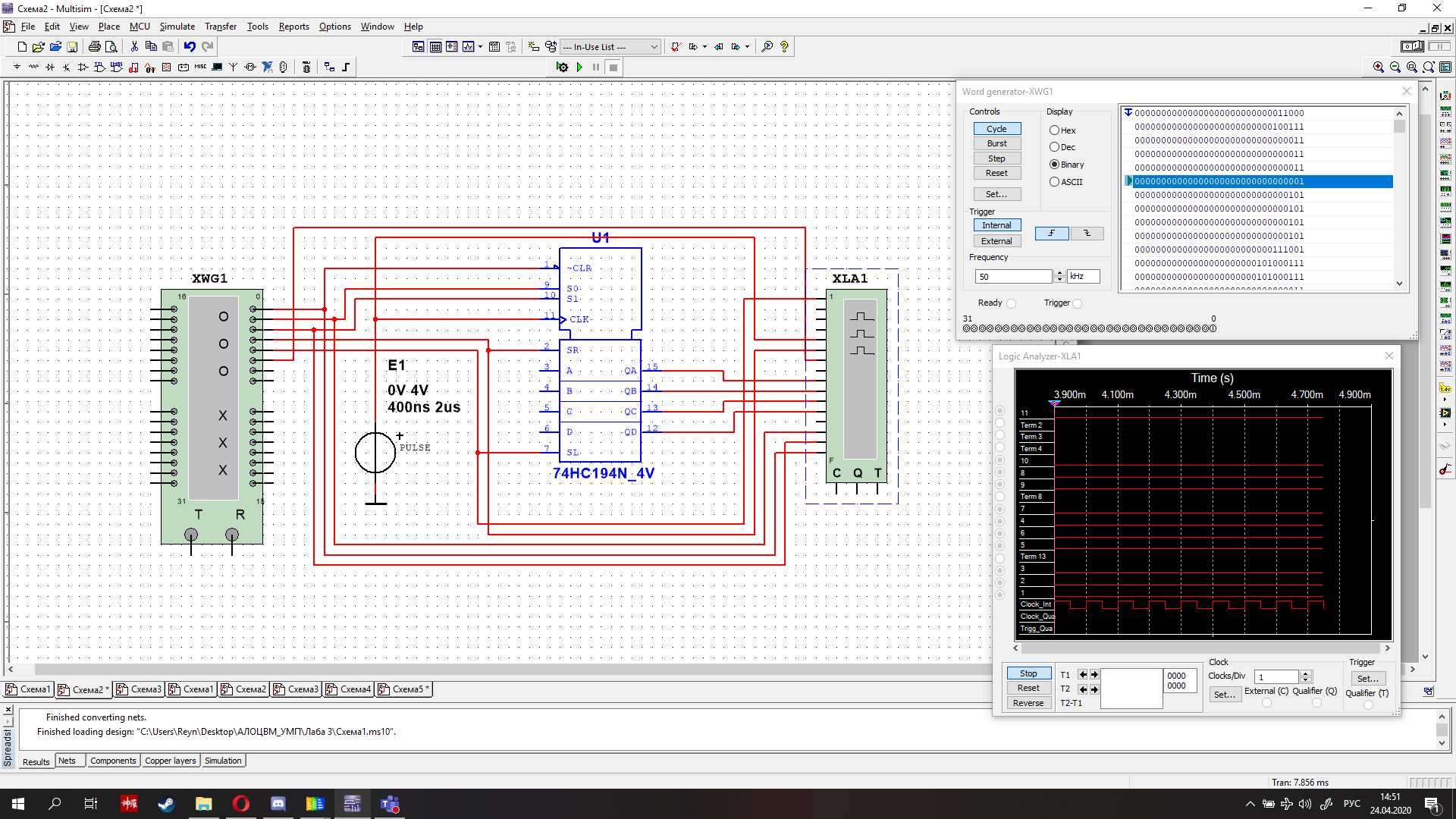
*Табл. 1*

*Примечание.* 0 – низкий уровень; 1 – высокий уровень; × – любое состояние;  – по­ложительный перепад (с низкого уровня на высокий); QА0, QB0, QС0, QD0 – стационарные уровни А, В, С, D до установки указанных состояний на входах; QА*п*, QВ*п*, QС*п*, QD*п* – соответственно уровниА, В, С, D перед началом прохождения фронта самого последнего тактового импульса.

**В таблице 1 отображен план исследования параллельного регистра сдвига.**

**Ввод (запись) и вывод (считывание) информации производится параллель­ным кодом. Ввод обеспечивается тактовым импульсом, с приходом очередного тактового импульса записанная информация обновляется. Считывание информации происходит в прямом коде в интервале между синхроимпульсами, когда триггеры находятся в режиме хранения.**

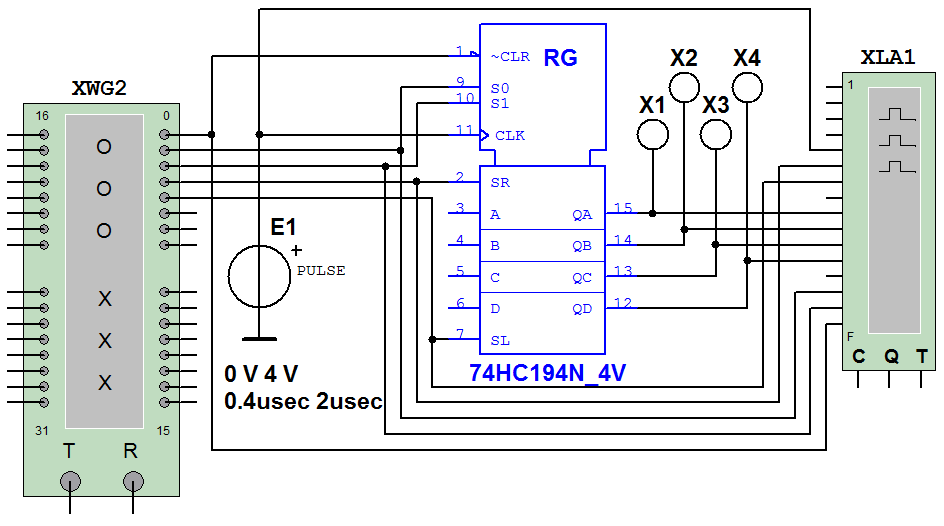
**При записи чисел в ячейки памяти генератора в младший разряд 9-разрядных чисел нужно заносить значение сигнала : логический 0 для очистки регистра или логическая 1  разрешение записи числа, сдвига данных и др.; в следующие два разряда – значения (1 или 0) сигналов S0 и S1, определяющих режим работы регистра; в два следующих  вводить значения сигналов SR и SL, определяющих направление сдвига записанной информации в направлении от QА к QB, QC, а затем к QD после каждого положительного перепада импульса на тактовом входе или, наоборот, от QD к QА.**



**Рис.3**

**На рисунке 3 изображена собранная схема с использованием регистра параллельного сдвига , временная диаграмма и поле генератора слов.**

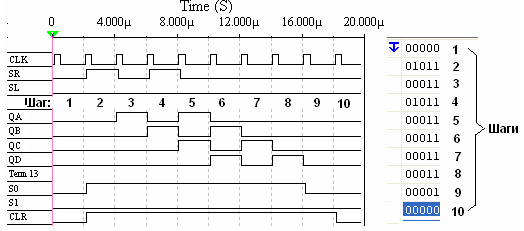
**3)**



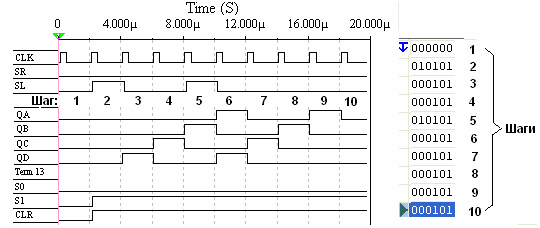
**Рис. 4**

**На рисунке 4 изображена схема для испытания *последовательного регистра сдвига.***

**Подается на управляющий вход S0 высокий уровень напряжения, а на вход S1 – низкий уровень, т. е. установить S0 = 1 и S1 = 0, и подавать в последовательной форме на вход SR данные, например 1, 0, 1 и 0, которые записываются в разряд А и передаются на выход QA (6). Регистр *последовательно сдвигает влево* эти сигналы от QA к QD, на выходе QD они теряются (см. шаги 3, …, 9 на рис. 6).**



**Рис. 6**



**Рис. 7**

**При установке S1 = 0 и S1 = 1 и подаче на вход SL данных в последовательной форме, например 1, 0, 0 и 1, которые записываются в разряд D (и передаются на выход QD), микросхема работает в режиме *последовательного регистра сдвига вправо* (без кольцевого перемещения данных): сигналы 1, 0, 0 и 1 сдвигаются по направлению к разряду А, на выходе QA они теряются (см. шаги 3, …, 9, рис. 7).**

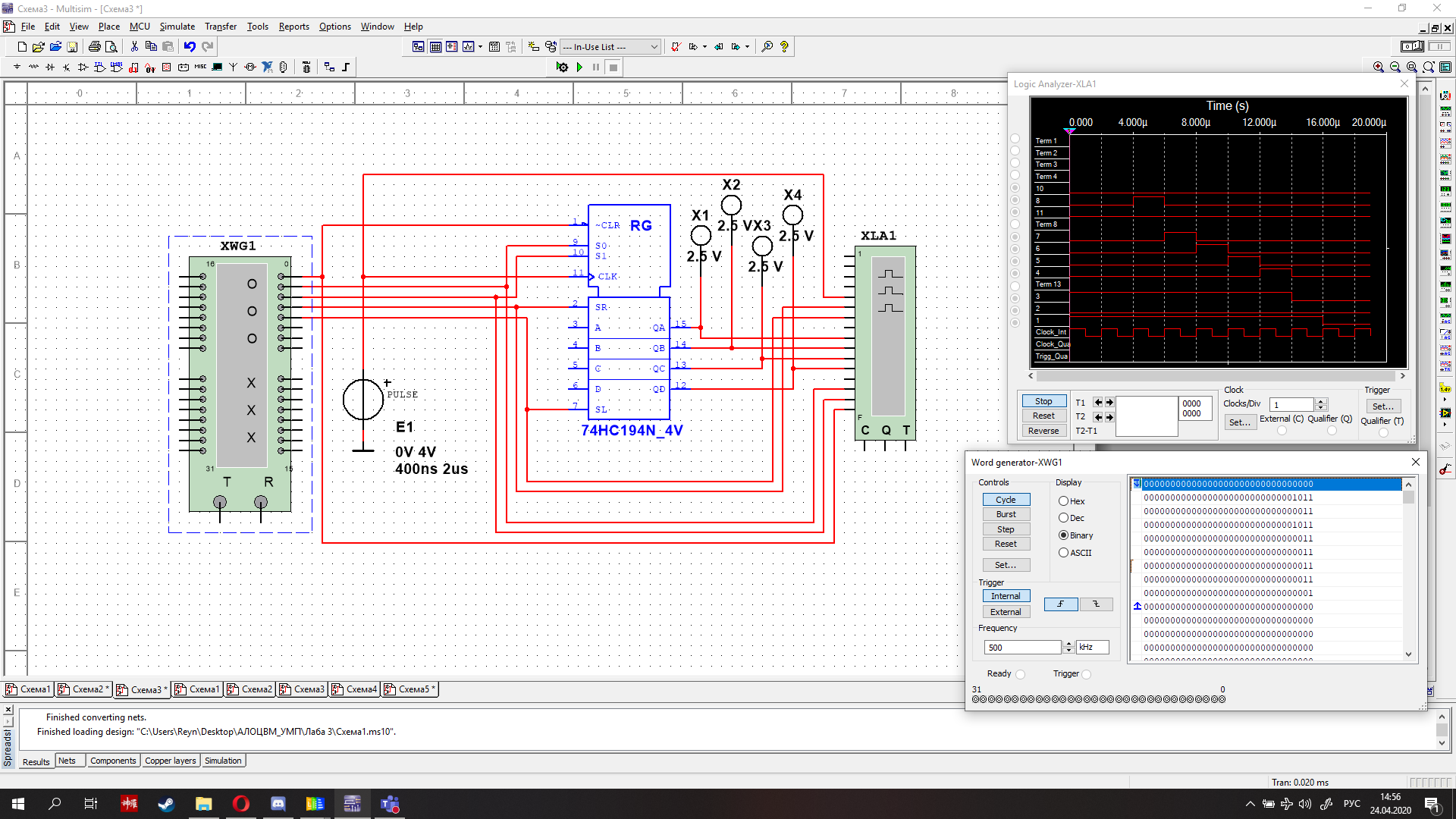


Рис.8

На рисунке 8 изображена собранная схема *последовательного регистра сдвига влево,* описывающая его временная диаграмма и генератор слов.

4)

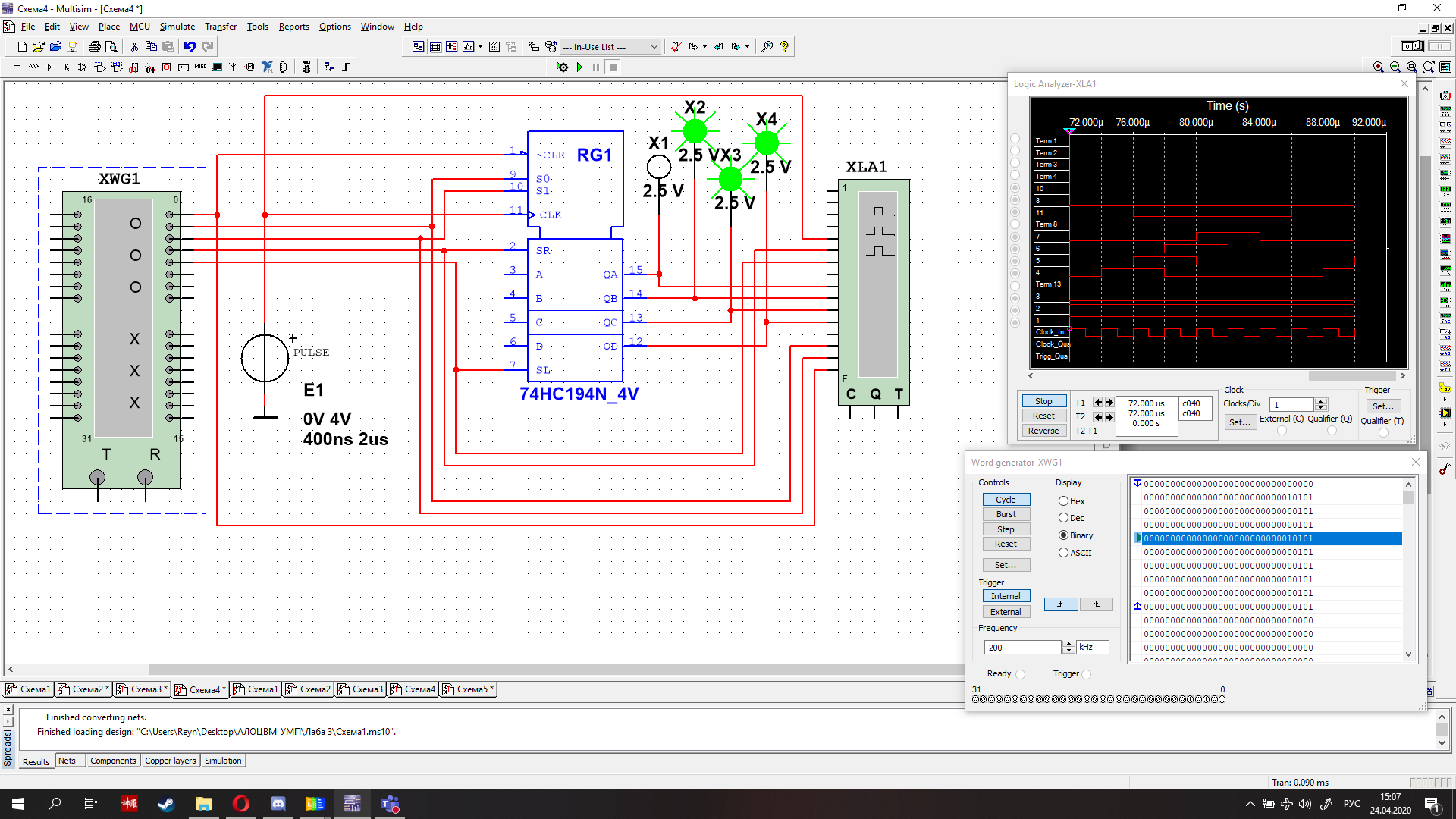


Рис.9

На рисунке 9 изображена собранная схема *последовательного регистра сдвига вправо,* описывающая его временная диаграмма и генератор слов.

**Выводы**:

В ходе лабораторной работы мы ознакомились с регистрами. Регистры бывают последовательными, параллельными и универсальными. Заполняя ячейки памяти генератора произвольными (или по заданию преподавателя) 4-разрядными кодовыми комбинациями, вводимыми последовательно сперва в регистр А, а затем в регистр D мы научились менять направление сдвига вправо или влево. Построили соответствующие схемы и получили временные диаграммы, наглядно показывающие как работает схема.